THE PROF. ISRAEL CEDERBAUM
HIGH SPEED DIGITAL SYSTEMS LABORATORY
HS DSL
המעבדה למערכות ספרתיות מהירות
ע"ש פרופ' ישראל צדרבאום

High Speed Digital System Laboratory

HS-DSL

A research & teaching laboratory

http://diglab.technion.ac.il

Activities

Academic

Course - High-Speed Digital Systems Design
Lecturer – Dr. M. Werner

Research

High speed PCB & IC technologies
Peta Cloud – Fast optic network for data centers

Lab. Educational Activities

Projects – 30 projects yearly (~60 students)
Experiments (~400 students yearly)

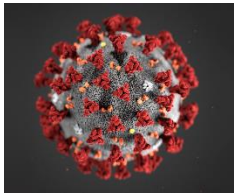
1. High Speed Circuits (Signal Integrity)
2. SOPC Experiment
3. Jitter phenomenon

Laboratory Staff

Academic supervisor : Professor Tzahi Birk

Staff:

Laboratory manager: Mony Orbach
Application Engineer: Ina Rivkin
Projects coordinator: Eli Shoshan



Projects development

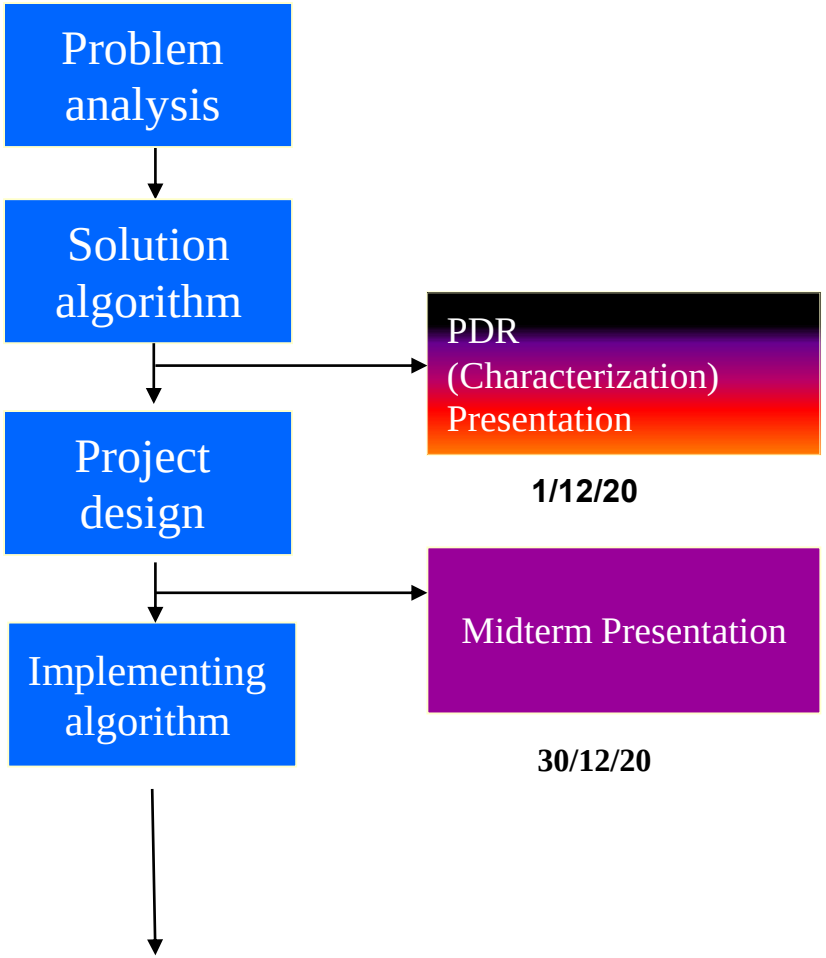
During corona pandemic days

- Unfortunately corona is her to stay so we must adapt

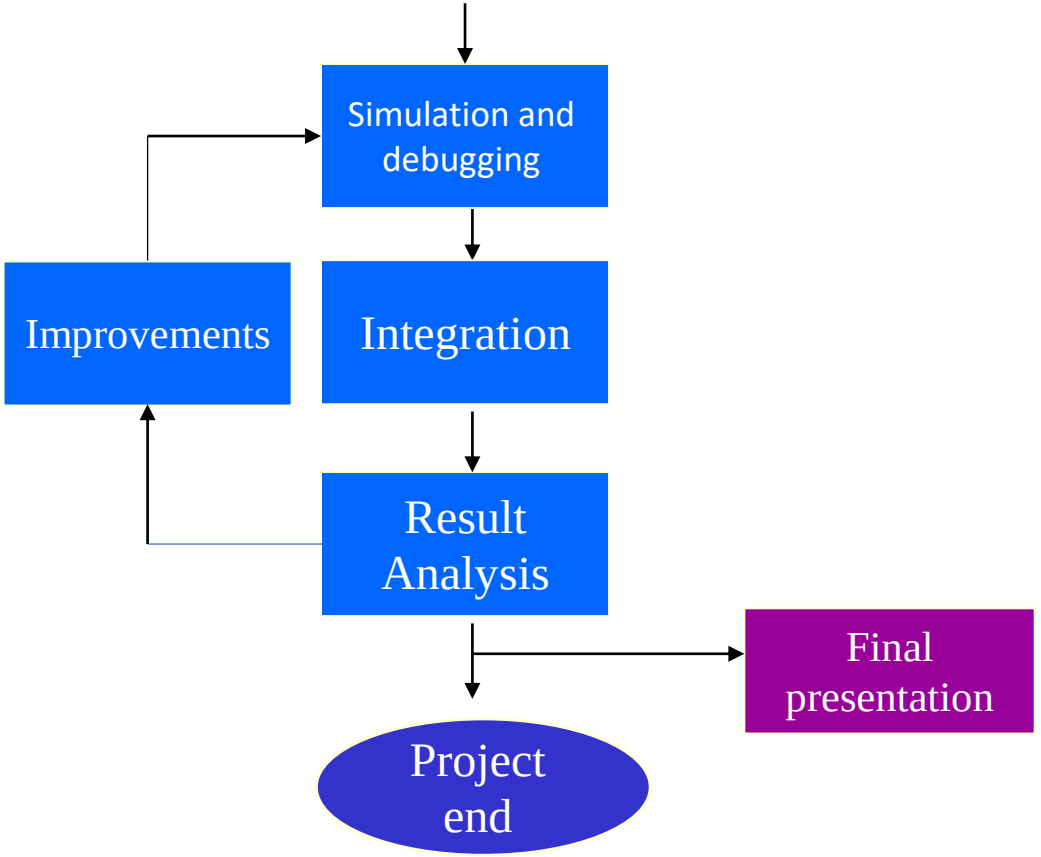
- All presentations will be done on zoom
- All supervisor – students meeting will be done on zoom
- When necessary, the lab will lend equipment to students for project development at home.
- All the lab staff are available on zoom for questions and problem solving

Last semester we all work with zoom, all and all it works!

Project – Life cycle



Project – Life cycle, cont…



PDR – Preliminary Design Review Presentation

1/12/20

- Motivation/Background
- Project goals
- Development environment
  - Software development platforms
  - Hardware development platforms
- Project Top Block diagram
  - project inputs & outputs
  - Function
- Project Gantt (time table) per week
  - till MidTerm presentation

Registration to PDR presentation in Labadmin
you coordinate with project supervisor

Project Management

1. Project supervisor is your **first help source**.

2. Supervisor weekly meeting is **mandatory!**
   - Set a day and time for weekly meeting

3. Schedule a weekly working hours on the project

4. The lab staff is your second help source.

   Use Us!

Lab Rules

1. **Lab safety procedure**
   a. Follow the safety training
   b. Do not work alone

2. **Lab entrance rules**
   a. Only students working on the project.
   b. Do not leave the door open.

3. **Lab Behavior rules**
   a. No food or drinks
   b. Do not “fix” lab equipment

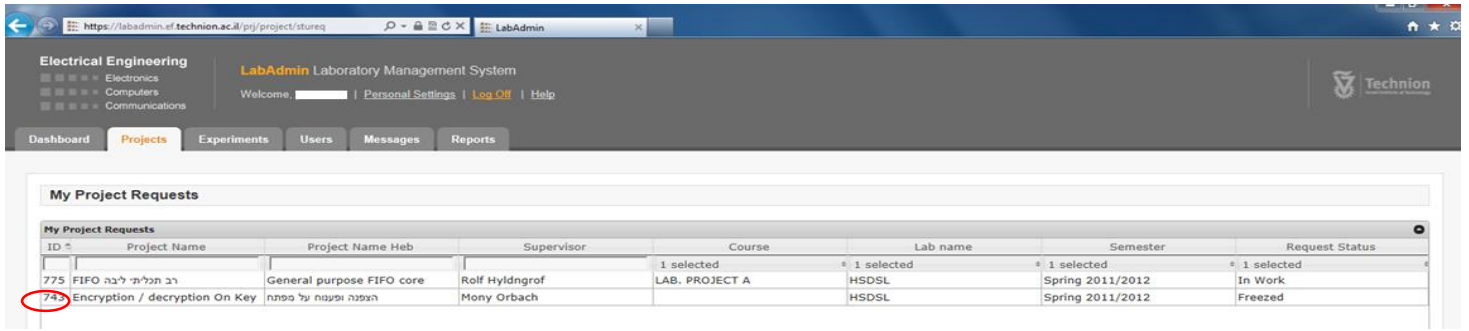
עבודה מרחוק - Corona Time

1. **מצגות פרויקטים ופגישות עם מנחים וצוות המעבדה** יתקיימו בזום.
2. **VPN** – התחברות לרשת טכניונית מכל מקום
https://cis.technion.ac.il/central-services/communication/off-campus-connection/otp/
3. שימוש **בשרת אפליקציות -** diglabapps.ef.technion.ac.il
4. **רישיונות והתקנת תוכנות בבית** – תאום מול אינה בצורה פרטנית ותלוי תוכנה.
5. **ציוד** – השאלת ציוד הביתה.
6. במקרים שחייבים להגיע פיזית לטכניון נא לתאם אתנו מראש.
7. **נא לפנות אלינו בכל בעיה שמתעוררת** – ננסה לתת פתרון לכל בעיה.

- **<u>כניסה למעבדה</u>** – יש לקודד את כרטיס הסטודנט ע"מ לפתוח את דלת המעבדה.

- **<u>כניסה למחשבי המעבדה</u> -** מתבצעת ע"י שימוש בחשבון פקולטי (דומיין TD-EF).

  - לצורך עבודה על הפרויקט לכל קבוצה הוקצתה מחיצה עם שטח דיסק נוסף.
  - המיפוי לתיקייה מתבצע אוטומטית בכל מחשבי המעבדה.



  - המחיצה תמופה לכונן P:
  - ניתן להתחבר למחיצה בכל מחשב אחר מחוץ למעבדה ע"י מיפוי הכונן ל-
\\132.68.62.3\Diglab_Projects\ 012020 \Prj_<מס' קבוצה>

  - הדיסקים המקומיים חסומים לכתיבה (פרט למדריך C:\TEMP שתוכנו ימחק מדי פעם).
  - את הקבצים יש לשמור בחשבונכם בדיסק השרת המוגדר ככונן P:

- **<u>שרת אפליקציות</u>**

diglabapps.ef.technion.ac.il – התחברות ע"י שימוש ב- remote desktop מרשת טכניונית בלבד.

Main Development tools

FPGA flow

FPGA design
FPGA Simulation
FPGA Debugging
HLS – High Level Synthesis
C -> H
Embedded systems – Hardware & Software
ARM
Microblaze

- *Xilinx*
- *Altera (Intel FPGA)*
- *Mentor*

Enbedded Systems

- *TI- Code Composer Studio*
- *Arduino*

System Design

- *LabView*

Board design & SI Simulation

Schematic Capture
PCB
SI Simulation

- *Cadence*

Algorithm Development

HDL code Generation & Hardware in the Loop

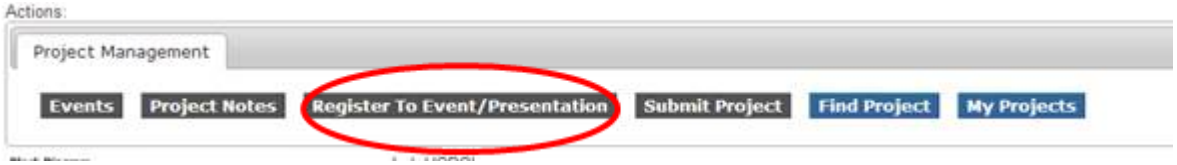
- *Matlab*
  DSP Builder
  System Generator
  HDL Coder

Software development

- *Microsoft Visual Studio*
- *Embedded software tools*

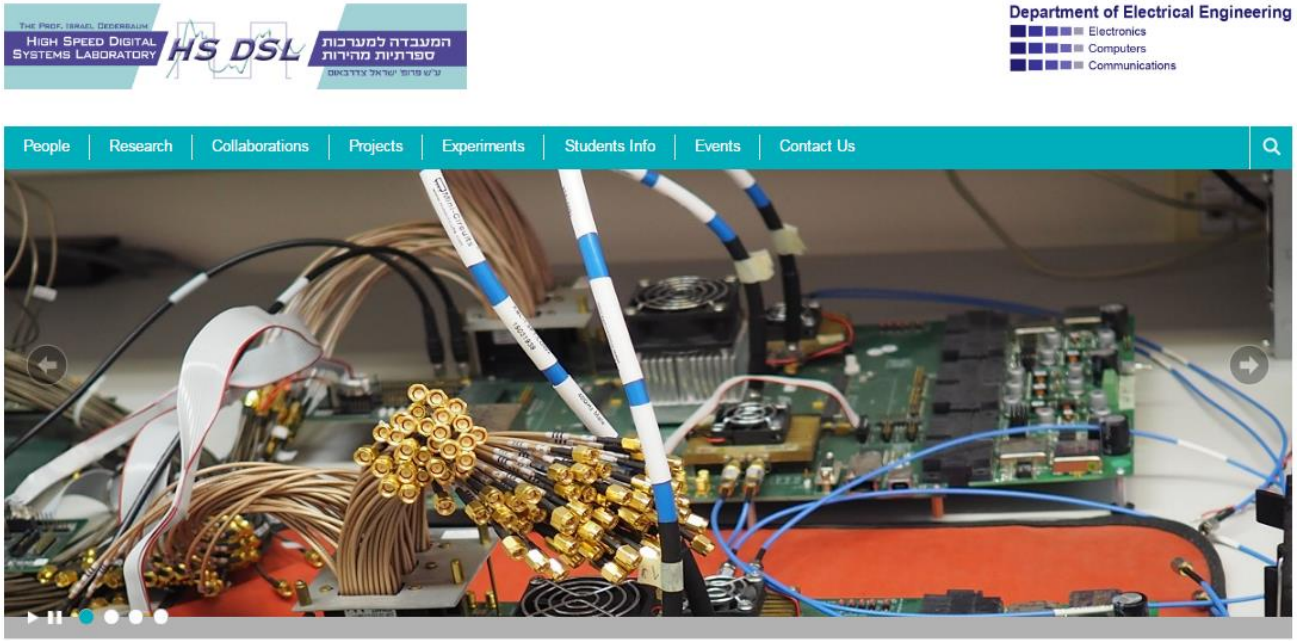
רישום למצגות

- הרישום למצגת מתבצע באתר labadmin.ef.technion.ac.il
ע"י כניסה לפרויקט, לחיצה על register to Event/Presentation ובחירת המועד הרצוי.



הרישום למצגת אפיון (PDR) החל.
נא להירשם בהקדם

http://diglab.technion.ac.il/
אתר המעבדה



Thank you !