

THE PROF. ISRAEL CEDERBAUM

HIGH SPEED DIGITAL
SYSTEMS LABORATORY



המעבדה למערכות
ספרתיות מהירות

ע"ש פרופ' ישראל צדרבאום



High Speed Digital System Laboratory

HS-DSL

A research & teaching
laboratory

<http://diglab.technion.ac.il>

Activities



Academic

Course - High-Speed Digital Systems Design
Lecturer – Dr. M. Werner

Research

High speed PCB & IC technologies
Peta Cloud – Fast optic network for data centers

Lab. Educational Activities

Projects – 30 projects yearly (~60 students)

Experiments (~400 students yearly)

1. High Speed Circuits (Signal Integrity)
2. SOPC Experiment
3. Jitter phenomenon

Laboratory Staff

Academic supervisor : Professor Tzahi Birk

Staff:

Laboratory manager: Mony Orbach

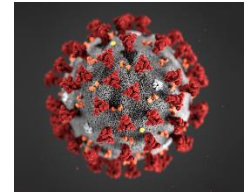
Application Engineer: Ina Rivkin

Projects coordinator: Eli Shoshan



Projects development

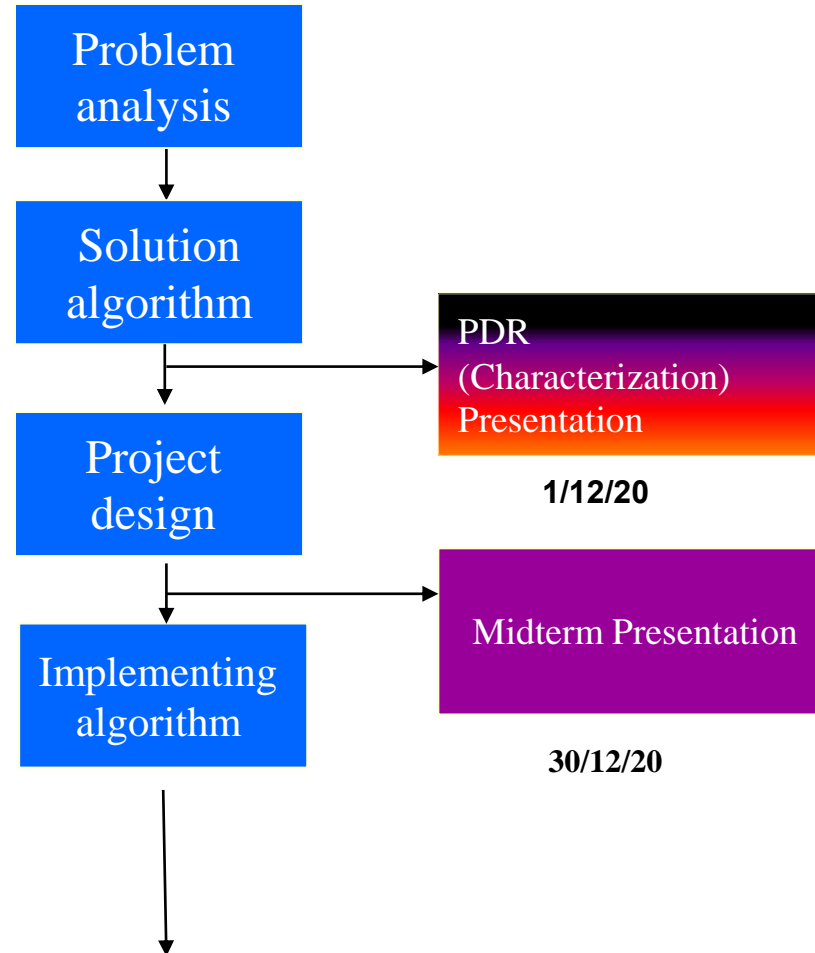
During corona pandemic days



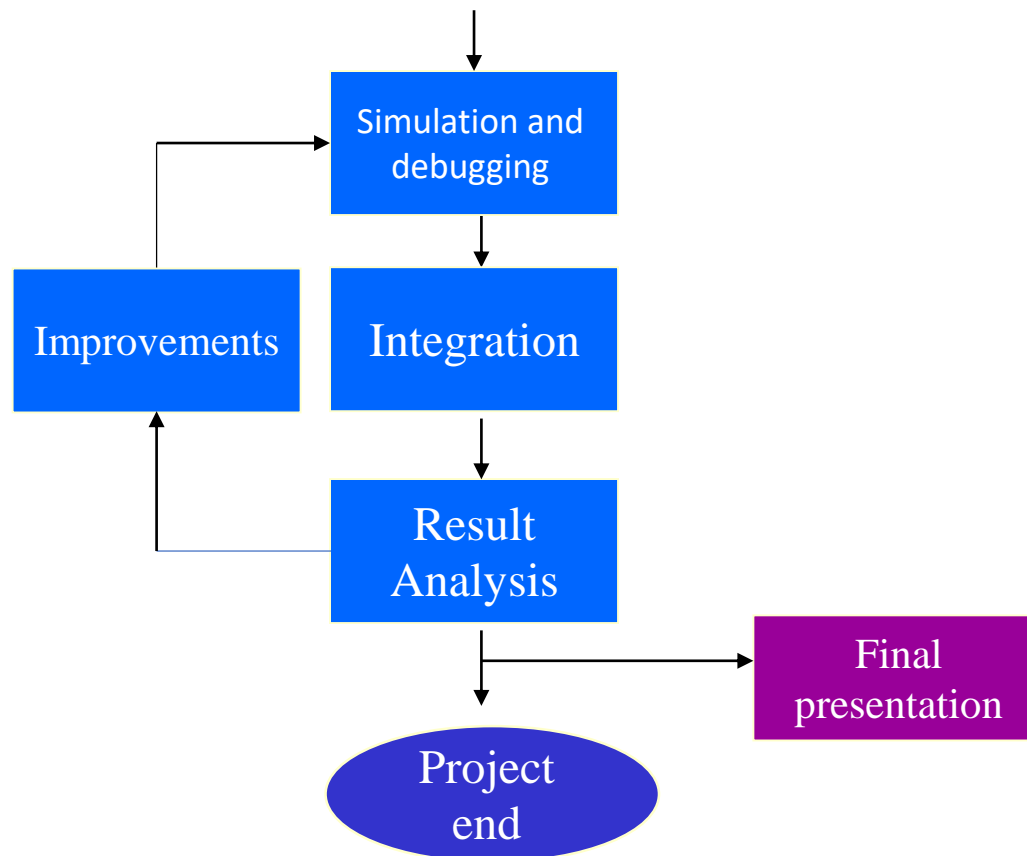
- Unfortunately corona is here to stay so we must adapt
- All presentations will be done on zoom
- All supervisor – students meeting will be done on zoom
- When necessary, the lab will lend equipment to students for project development at home.
- All the lab staff are available on zoom for questions and problem solving

Last semester we all work with zoom, all and all it works!

Project – Life cycle



Project – Life cycle, cont...



PDR – Preliminary Design Review Presentation

1/12/20

- **Motivation/Background**
- **Project goals**
- **Development environment**
 - Software development platforms
 - Hardware development platforms
- **Project Top Block diagram**
 - project inputs & outputs
 - Function
- **Project Gantt (time table) per week**
 - till MidTerm presentation

**Registration to PDR presentation in Labadmin
you coordinate with project supervisor**

Project Management

1. Project supervisor is your **first help source**.

2. Supervisor weekly meeting is **mandatory!**

- Set a day and time for weekly meeting

3. Schedule a weekly working hours on the project

4. The lab staff is your second help source.

Use Us!

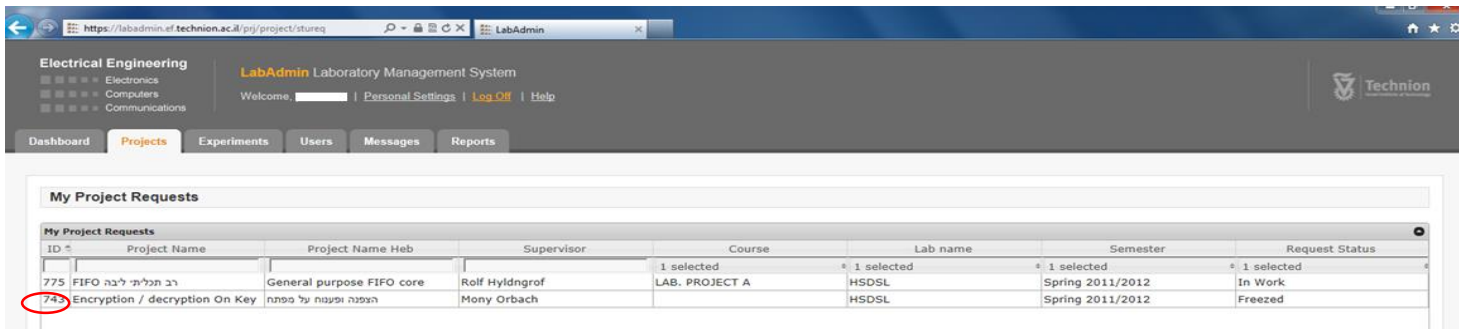
Lab Rules

- 1. Lab safety procedure**
 - a. Follow the safety training
 - b. Do not work alone
- 2. Lab entrance rules**
 - a. Only students working on the project.
 - b. Do not leave the door open.
- 3. Lab Behavior rules**
 - a. No food or drinks
 - b. Do not “fix” lab equipment

עבודה מרחוק - Corona Time

1. מצגות פרויקטים ופגישות עם מנחים וצוות המעבדה יתקיימו בזום.
2. VPN – התחברות לרשת טכניונית מכל מקום
<https://cis.technion.ac.il/central-services/communication/off-campus-connection/otp/>
3. שימוש בשרת אפליקציות - diglabapps.ef.technion.ac.il
4. רישיונות והתקנת תוכנות בבית – תאום מול אינה בצורה פרטנית ותלוי תוכנה.
5. ציוד – השאלת ציוד הביתה.
6. במקרים שחייבים להגיע פיזית לטכניון נא לתאם אתנו מראש.
7. נא לפנות אלינו בכל בעיה שמתעוררת – ננסה לתת פתרון לכל בעיה.

- **כניסה למעבדה** – יש לקודד את כרטיס הסטודנט ע"מ לפתוח את דלת המעבדה.
- **כניסה למחשבי המעבדה** - מתבצעת ע"י שימוש בחשבון פקולטי (דומיין TD-EF).
- לצורך עבודה על הפרויקט לכל קבוצה הוקצתה מחיצה עם שטח דיסק נוסף.
- המיפוי לתיקיה מתבצע אוטומטית בכל מחשבי המעבדה.



ID	Project Name	Project Name Heb	Supervisor	Course	Lab name	Semester	Request Status
775	FIFO ליבה	General purpose FIFO core	Rolf Hyldngrof	LAB. PROJECT A	HSDSL	Spring 2011/2012	In Work
744	Encryption / decryption On Key	הצפנה ודעיפה על פסח	Mony Orbach		HSDSL	Spring 2011/2012	Freezed

- המחיצה תמופה לכונן P:
- ניתן להתחבר למחיצה בכל מחשב אחר מחוץ למעבדה ע"י מיפוי הכונן ל-
<מס' קבוצה>\Prj_012020\Diglab_Projects\132.68.62.3\\
- הדיסקים המקומיים חסומים לכתיבה (פרט למדריך C:\TEMP שתוכנו ימחק מדי פעם).
- את הקבצים יש לשמור בחשבונכם בדיסק השרת המוגדר ככונן P:
- **שרת אפליקציות**
- diglabapps.ef.technion.ac.il – התחברות ע"י שימוש ב- remote desktop מרשת טכניונית בלבד.

Main Development tools

FPGA flow

FPGA design
FPGA Simulation
FPGA Debugging
HLS – High Level Synthesis
C -> H
Embedded systems – Hardware & Software
ARM
Microblaze

- **Xilinx**
- **Altera (Intel FPGA)**
- **Mentor**

Embedded Systems

- **TI- Code Composer Studio**
- **Arduino**

System Design

- **LabView**



Board design & SI Simulation

Schematic Capture
PCB
SI Simulation

- **Cadence**

Algorithm Development

HDL code Generation & Hardware in the Loop

- **Matlab**
DSP Builder
System Generator
HDL Coder

Software development

- **Microsoft Visual Studio**
- **Embedded software tools**

רישום למצגות

- הרישום למצגת מתבצע באתר labadmin.ef.technion.ac.il ע"י כניסה לפרויקט, לחיצה על register to Event/Presentation ובחירת המועד הרצוי.



הרישום למצגת אפיון (PDR) החל.
נא להירשם בהקדם

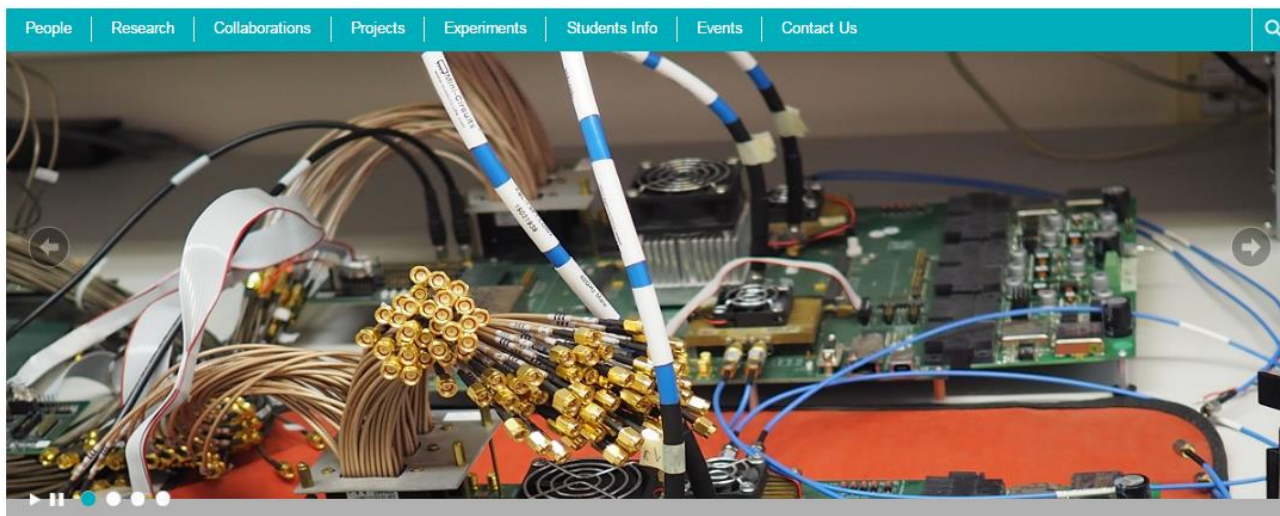
<http://diglab.technion.ac.il/>

אתר המעבדה



Department of Electrical Engineering

- ■ ■ ■ ■ Electronics
- ■ ■ ■ ■ Computers
- ■ ■ ■ ■ Communications



About High Speed Digital Systems Laboratory

The Prof. Israel Cederbaum High Speed Digital Systems Laboratory (HS-DSL) has been established in 1964 as a research and teaching laboratory, to train students in up to date digital techniques. The High Speed Digital Systems Lab focuses on quality education and research at the cutting edge of digital system technology. Our graduates move on to assume important positions in the High-Tech industry. Using its breadth and ability to build systems that really work, the Lab reaches out to apply its core expertise in diverse domains such as Medical Sensing, Signal Processing, Internet of Things, High Speed Digital Communication, and Intelligent Computing. HSDSL has strong connections and collaborations with both industry and academia, in Israel and worldwide. This provides a vital channel to exchange ideas and technology, promoting future research and development. The Lab puts strong emphasis on projects and research that benefit society.

Thank you !